自己重力多体系専用計算機 GRAPE-6 のプロトタイプシステム

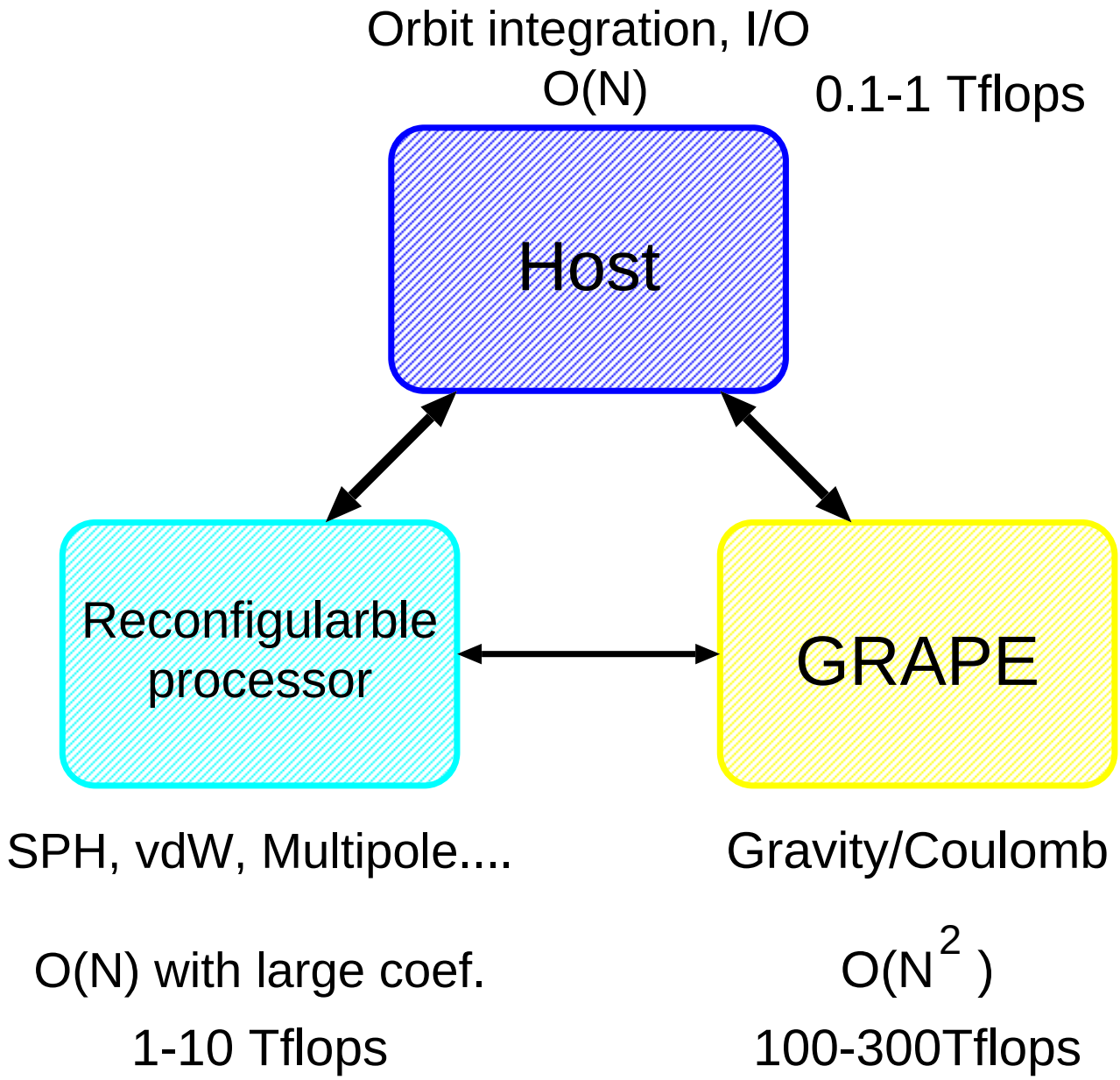
牧野淳一郎、古賀勝基、川井敦、福重俊幸（東大総文）、泰地真弘人（統数研）

概要

1. GRAPE-6 の全体構想
2. GRAPE-6 プロセッサチップ
3. プロセッサモジュール
4. プロトタイプシステム

全体構想

- GRAPE-4 の後継機
- 重力専用部： 目標 100-200 Tflops
- 再構成可能部： 目標 1-10 Tflops(応用によって変わる)



専用プロセッサ部の構造

重力プロセッサ

- 1 プロセッサチップに 6 パイプライン
- 1 モジュールにに 2 プロセッサチップ + メモリ
- 1 プロセッサボードに 8 モジュール
- 1 匡体 (クラスタ) に 16 プロセッサボード + 1 通信ボード
- 16 匡体

4096 チップ、 24,756 パイプライン。 125MHz 動作

↓

184 Tflops

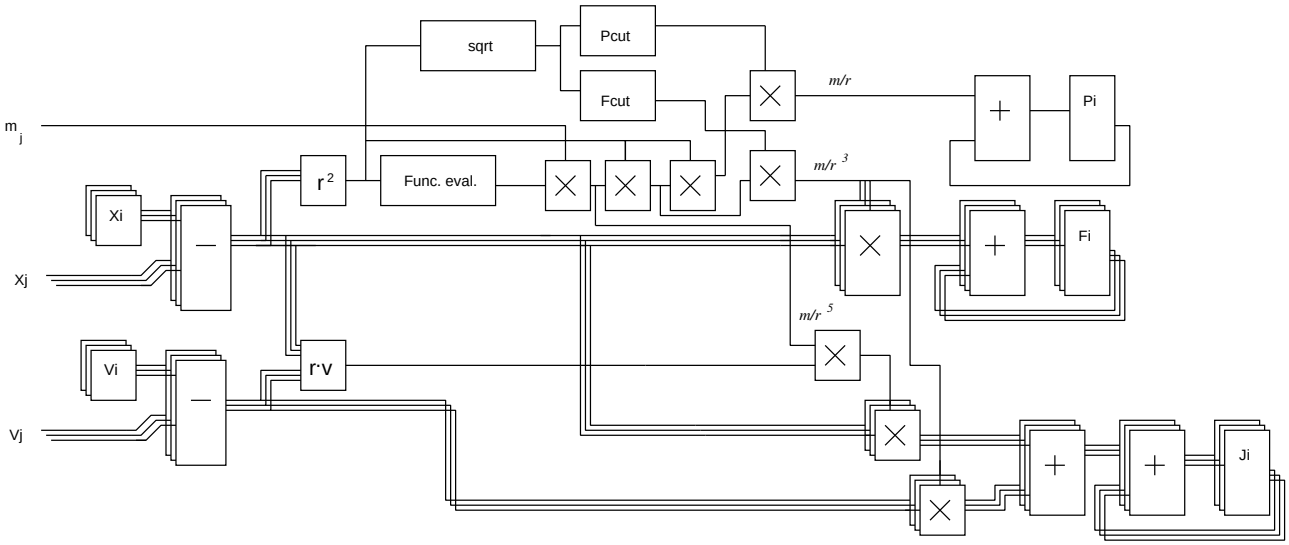
再構成可能プロセッサ：

総数未定、プロセッサボードより上は重力プロセッサと同一設計を流用

- 1 モジュールに 1 FPGA チップ + メモリチップ

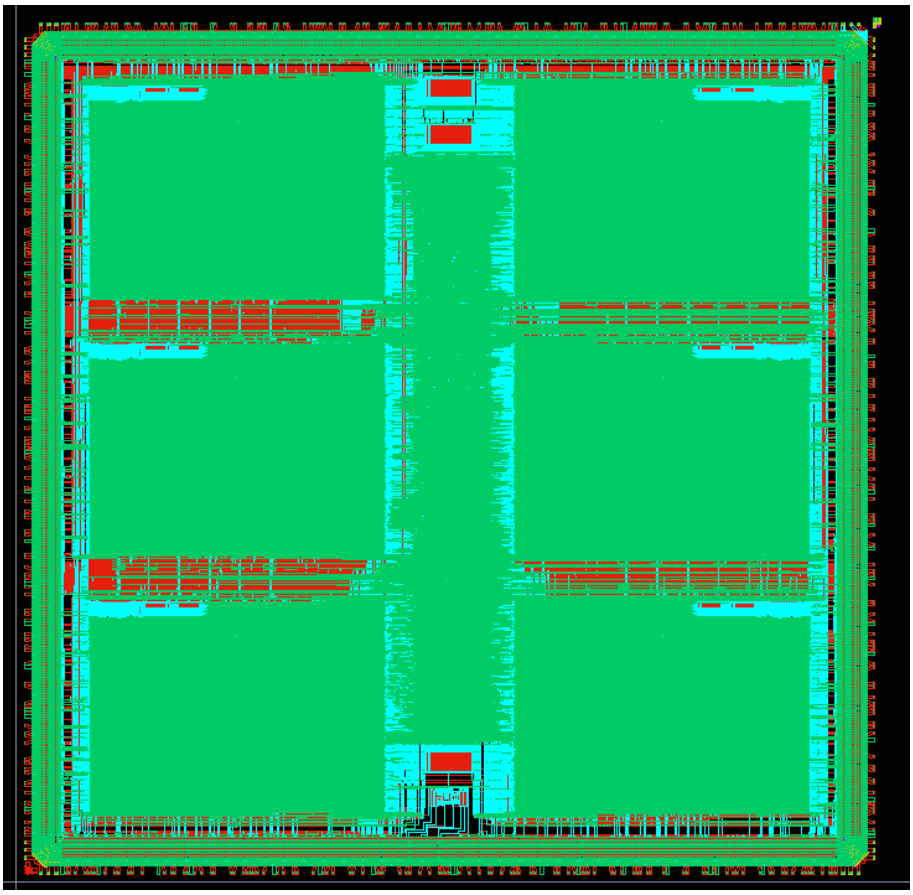
以下、順番に見ていく (クラスタ以下は今回は省略)

演算パイプライン



- GRAPE-4 演算パイプラインとほぼ同じ計算精度
- 粒子からの重力、ポテンシャル、重力の時間導関数を計算
- 動作速度（最悪値） 100 MHz
- 単体性能（最悪値） 6Gflops

プロセッサチップ



- 重力パイプライン 6 本
- 予測子パイプライン
- 粒子メモリへのインターフェース
- ホストインターフェースチャネル (入力 2, 出力 1)

を単一チップ (0.25 μm プロセス、 10 mm 角、 800 万トランジスタ) に集積

現在の GRAPE-4 プロセッサボードとほぼ同等の機能、性能

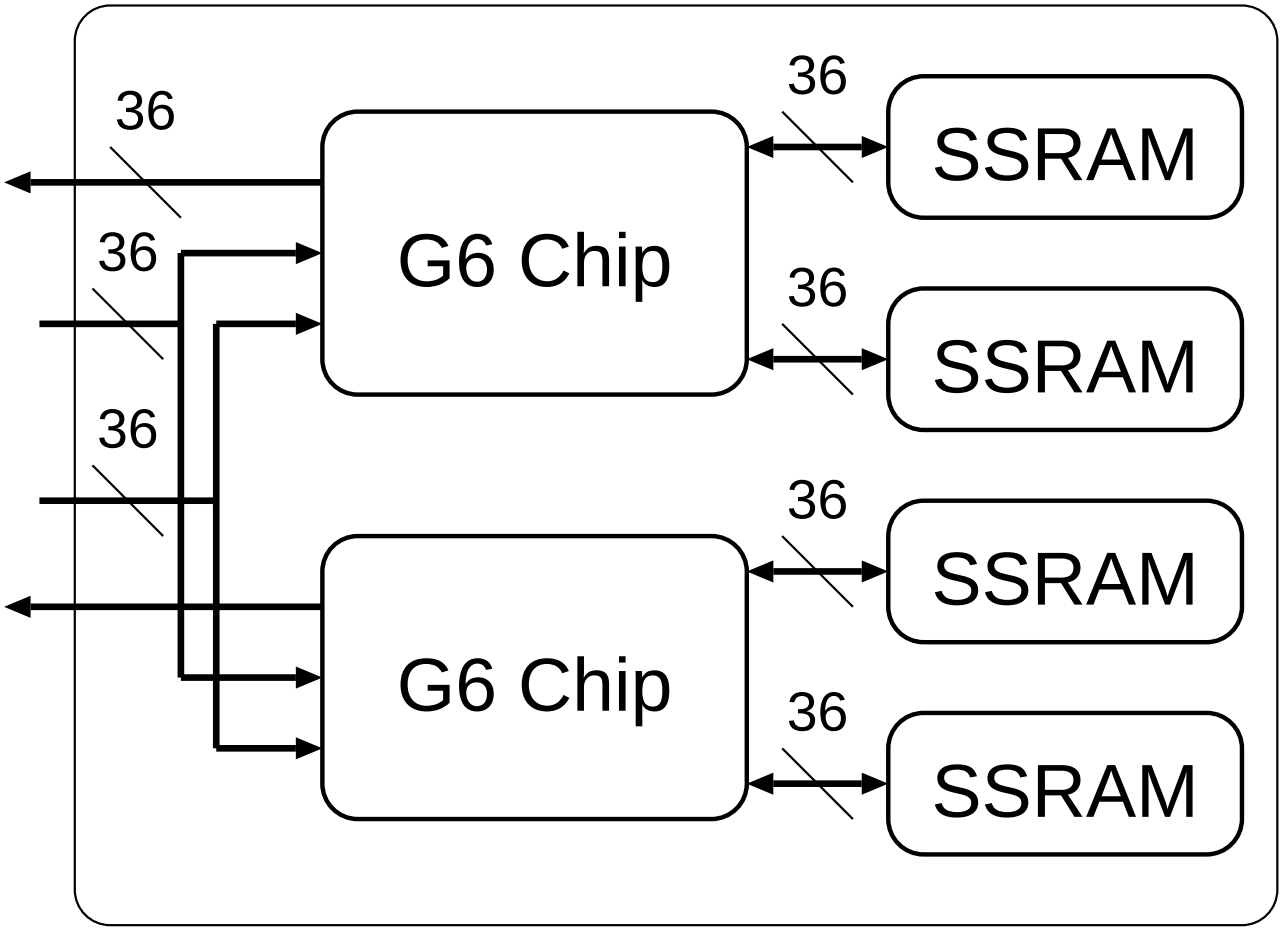
プロセッサチップ (続き)

- メモリインターフェース
  - 同期 SRAM 2 個に直結 (36 bits × 2)
  - チップクロックで動作
  - エラー訂正コード
- ホストインターフェース
  - メモリ書き込みとレジスタ書き込み、読みだしの 3 ポート
  - 32 ビット幅、同期動作
  - チップクロックを任意 (4 以上) の整数で分周
  - 転送速度 100 MB/s ×3(25MHz 動作の場合)

ホストインターフェースの特色

- 入出力並列動作→ 高速化
- 比較的遅い入出力→ 大規模化が容易

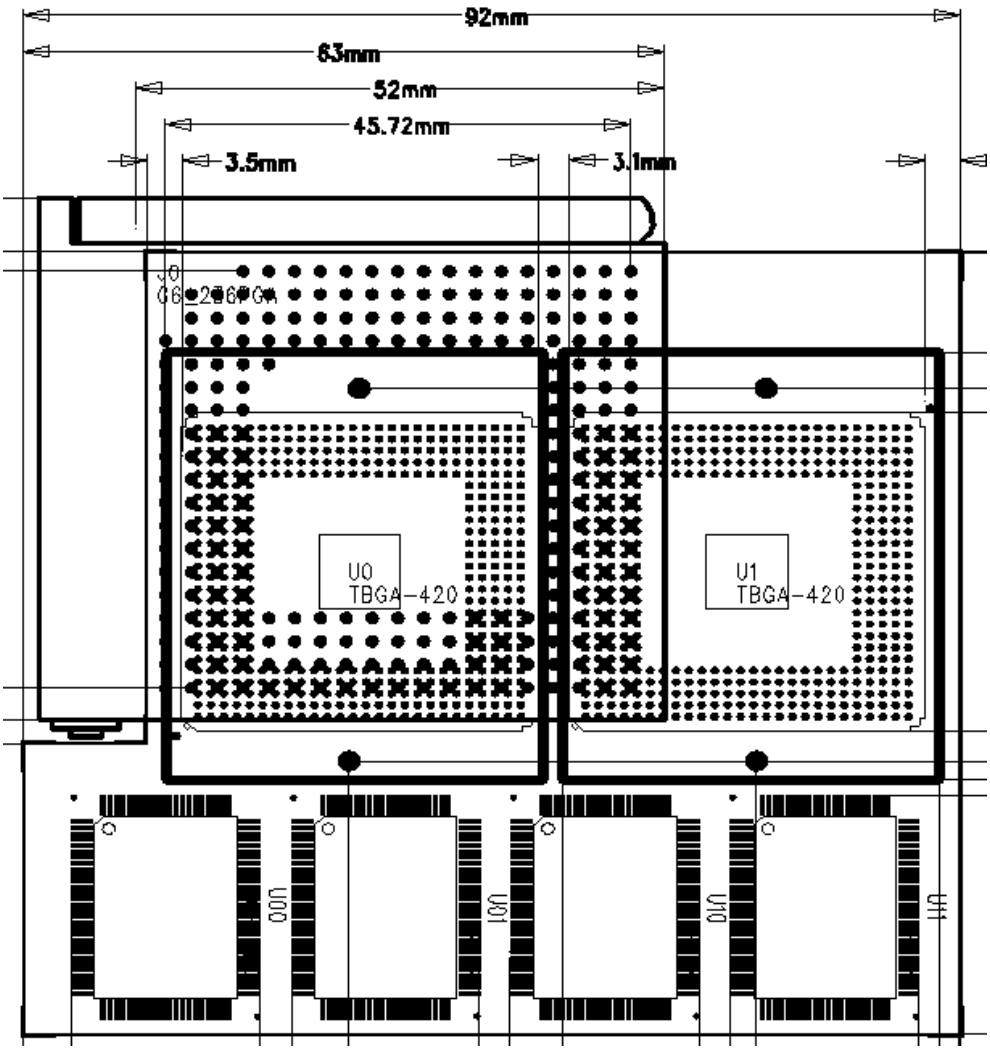
プロセッサモジュール



- プロセッサチップ 2 個を集積
- 入力ポートは共有
- 出力ポートは独立

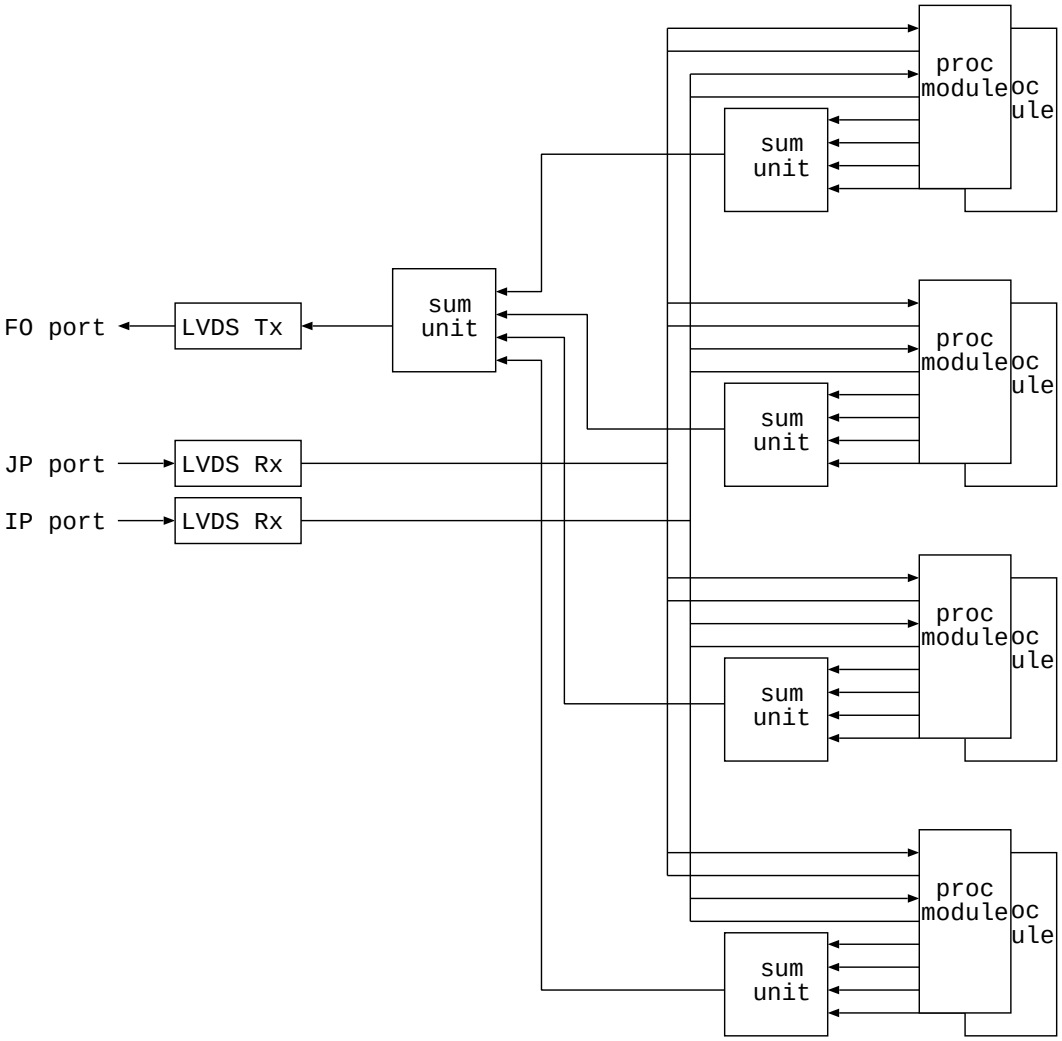
物理サイズ： 9 cm × 8 cm 程度
236 ピン PGA コネクタ (Socket 3)

プロセッサモジュール（続き）



- 設計終了
- 年度内納入予定

プロセッサボード



- 入力ポートは共通
- 出力はツリー構造でリダクション (合計)
- 8 モジュール、 16 チップ = 500 Gflops

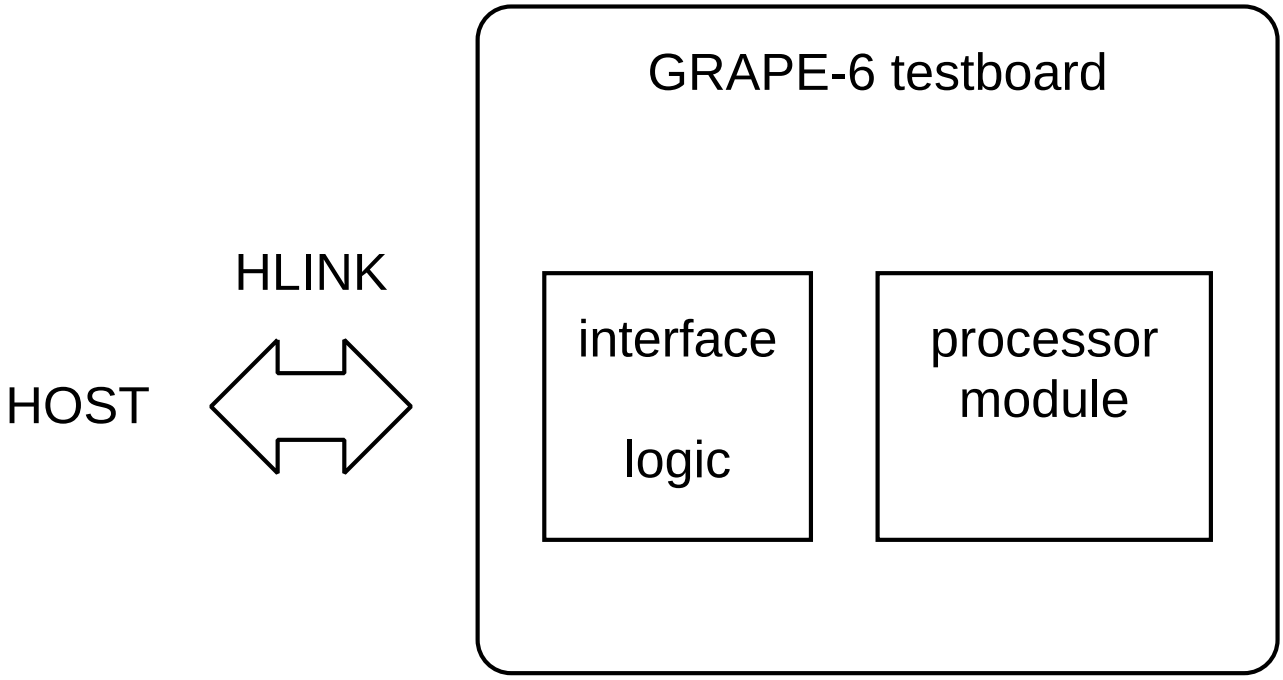
現在の進捗状況

- プロセッサチップサンプル到着
- プロセッサモジュールサンプル製造中

評価用システムが必要
= プロトタイプ GRAPE-6 システム

プロトタイプシステムの概要

- プロセッサモジュール 1 個搭載
- GRAPE-4 と同一のホストインターフェース

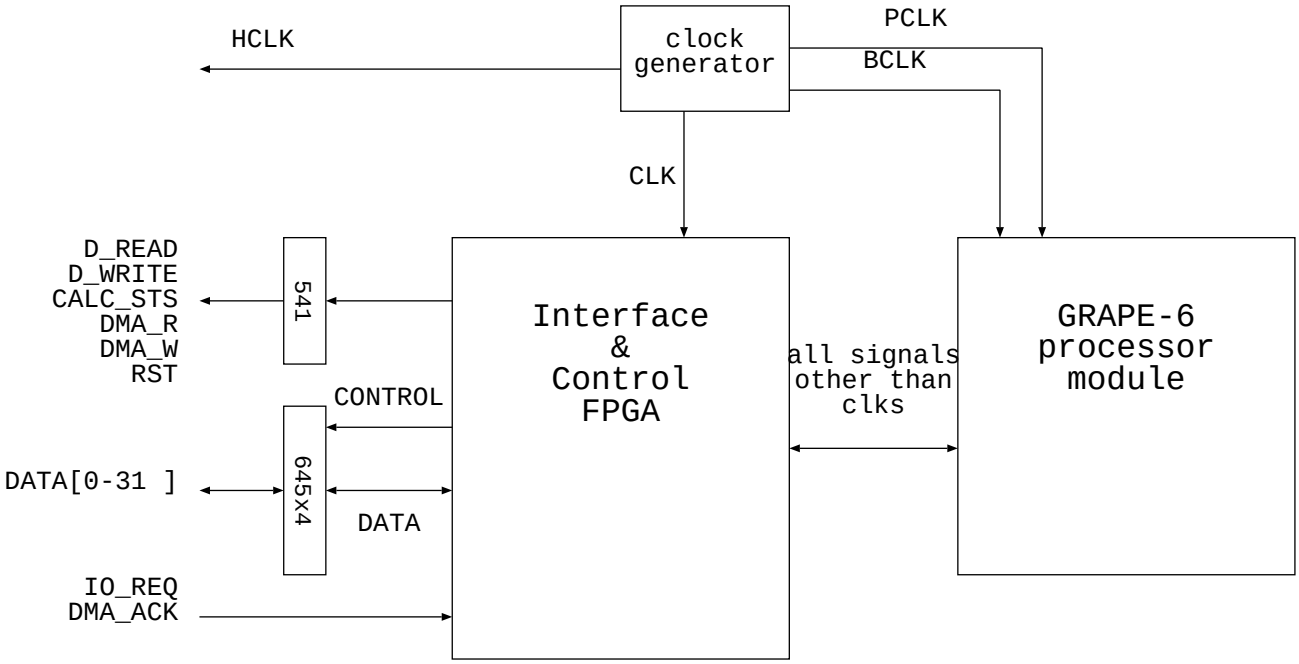


開発目的

- チップ、モジュール評価
- ソフトウェア開発
- GRAPE-4 の置き換え

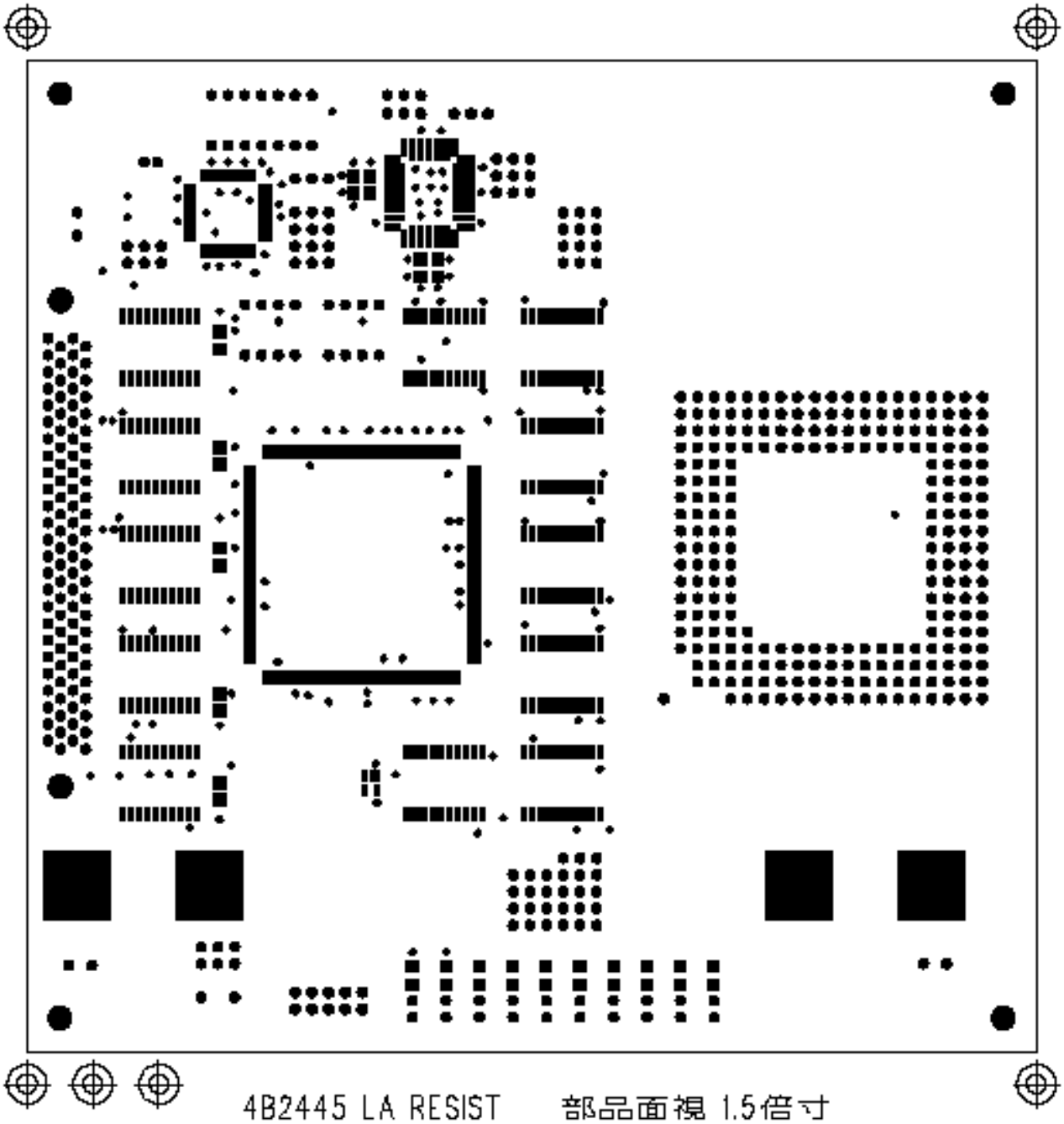
プロトタイプシステムの詳細

- すべての機能を単一の FPGA に実装



- 設計終了
- 年度内納入予定

プロトタイプシステム基板



- 15 cm × 15 cm
- 6 層基板

まとめ

- 未来開拓学術研究による GRAPE-6 の開発は、ほぼ予定通り順調に進んでいる。
- プロセッサチップは完成した。プロトタイプシステムも現在製造中であり、年度内には納入される 予定である。
- プロトタイプシステムは、現在の GRAPE-4 ボード 1 枚と同等の計算性能 (30-60 Gflops) を持ち、実用にも使えるものになる。