

試験研究  
アクセラレータ概念設計のための技術評価  
報告書

牧野淳一郎 (国立天文台)

# 目次

1	結果要約	3
2	はじめに	3
3	各検討項目詳細	4
3.1	使用プロセス	4
3.2	方式検討	4
3.2.1	粒子シミュレーションの性能	8
3.2.2	密行列処理	9
3.2.3	2 電子積分	9
3.2.4	ホスト計算機との接続方式	9
3.2.5	方式検討に関するまとめ	10
3.3	演算器等構成要素の規模評価	10
3.3.1	浮動小数点乗算器	11
3.3.2	浮動小数点加減算器	11
3.3.3	レジスタファイル	12
3.3.4	まとめ	12
3.4	入出力、メモリの性能評価	13
3.4.1	入出力パッド	13
3.4.2	内蔵メモリ	13

## 1 結果要約

この試験研究では、次世代スーパーコンピューターの構成要素として検討されているアクセラレータについて概念設計を行った。以下が主要な結論である。

1. 65nm プロセスで、250 mm<sup>2</sup> 程度のチップで、現在の GRAPE-DR の2倍強の性能である約 0.7 Tflops を消費電力 60W で実現可能である。
2. これは、チップ当り 32MB のメモリを含む。このため、FPGA と外付メモリを必要とする GRAPE-DR に比べてボード製造コストを大幅に削減できる。
3. 多体シミュレーションでの性能は倍精度ピークとほぼ等しい。行列演算についても同様である。量子化学計算では2割程度であるが、これは今後さらに向上のための検討が必要である。

## 2 はじめに

この試験研究の目的は以下の通りである

次世代スーパーコンピューターの構成要素として検討されている  
アクセラレータについて、概念設計を行う。

特に、以下の検討を行う。

1. 使用プロセスをどうするか。開発費、利用可能時期の不確実性、量産コスト、性能の観点から、確実性が高い 65nm プロセス、不確定要因はあるものの性能にメリットがある 45nm プロセスのどちらを利用すべきかの評価を行う。
2. 方式検討。いくつかのアプリケーションを前提に、プロセッサエレメントの方式を検討する。また、ホスト計算機への接続方式を検討する。
3. 要素評価 (1) 2. の方式検討のため、乗算器、レジスタファイル等の基本的な構成要素について RTL レベル設計を行い回路規模等を評価する。
4. 要素評価 (2) 2. の方式検討および 3 の要素評価のための、いくつかの構成要素についてターゲットライブラリを想定したレイアウト、遅延時間評価を行う。

以下、検討項目のそれぞれについて詳細を述べる。

## 3 各検討項目詳細

### 3.1 使用プロセス

使用プロセスについては、完成時を 2011 年度末とした場合には、常識的には 45nm となる。Intel, IBM 等の統合メーカーは 2007 年後半から 2008 年前半にかけて 45nm の製品出荷を開始する予定であり、また現時点で世界最大のファウンドリである TSMC も 2007 年 4Q から 45nm の量産を開始する予定である。これに対して、完成を 2011 年度末とするなら、非常に速い時期を見越しても ES を得るのが 2009 年度中頃で十分であり、TSMC の場合には少なくとも 40nm、場合によっては 32nm が利用可能になっている。

しかしながら、国内メーカーでは 45nm が利用可能になる時期は明確ではないのが現状である。例えば T 社の場合、FPGA 製造といったファウンドリとしての 65nm 生産は既に始まっているが、ASIC としてカスタマーが設計するためのライブラリの提供は遅れており、現時点でまだ 65nm はスタンダードセルラインアップにはしていない。F 社も同様な状況である。このことを考慮すると、国内メーカーを利用する場合には 45nm が現時点で現実的な解とはいいがたい。

従って、以下の性能検討では、基本的に 65nm プロセスを想定した評価を行い、性能、消費電力等を推定する。なお、90nm, 65nm では、リーク電流の増大により 130 nm プロセスに比べて消費電力が大きくは下らない等の問題が見られるが、各社とも 45nm では High-k 絶縁層の採用等を予定しており現行の 90nm プロセスと比較して消費電力は大きく下がるものと予想される。しかし、ベースライン評価を与えるため、以下では現在消費電力の予測が可能な 65nm プロセスを用いた評価を行った。その結果、以下に述べるように目標性能をピーク性能 10Pflops 程度とする場合には、65nm プロセスで十分実現可能であることがわかった。

従って、評価結果としては、リスクの少ない 65nm プロセスを利用するべきであるとなる。

### 3.2 方式検討

アプリケーションとして、

- 重力多体問題
- 密行列処理
- 2 電子積分等、入力データが少なく複雑な計算

を想定する。これらのアプリケーションでは、2004 年度からの振興調整費で開発した GRAPE-DR で高い効率がでることが実証されているので、実行効率の観点では

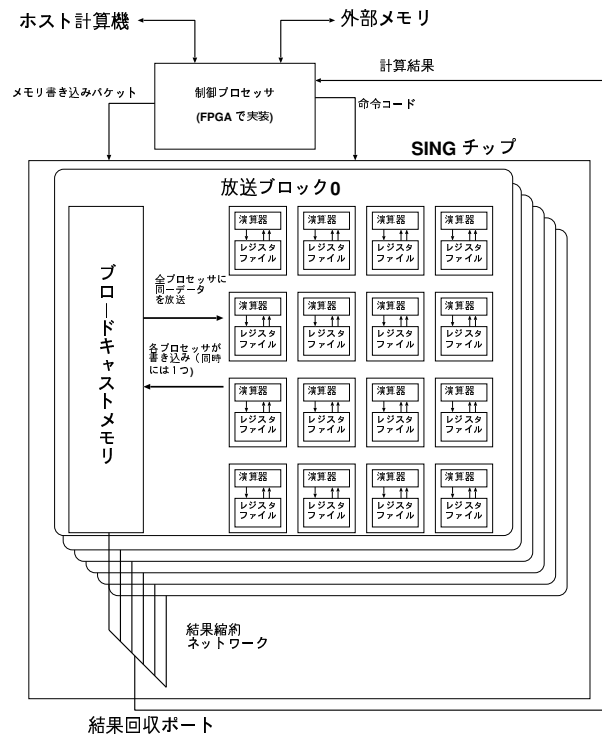


図 1: GRAPE-DR チップの基本構成

大きくアーキテクチャを変更する必要はない。しかし、ボード量産コストの観点からは現在の GRAPE-DR アーキテクチャには大きな問題がある。

現在の GRAPE-DR チップの基本構成を図 1 に示す。この構成の問題点は、外付の制御プロセッサが

- ホストインターフェース
- 外部メモリインターフェース
- GRAPE-DR チップへの命令投入
- GRAPE-DR チップへのデータ送信
- GRAPE-DR チップからのデータ受信

と多くの入出力機能を持たなければならないことである。このために、FPGA チップが高価なものになり、システム全体の製造コストを引き上げることになる。

この問題を解決するためには、制御プロセッサの機能の一部をカスタムチップの側に移動することが必須である。類似のアーキテクチャを持つ ClearSpeed CSX600 や、多少類似点がある IP-Flex の DAP/DNA では、カスタムプロセッサ側に RISC プロセッサコアを内蔵させ、それに制御プロセッサの役割をはたさせることでシス

テムコストの削減を図っている。しかし、このアプローチには、処理速度が遅く並列処理ができない RISC コアが処理のボトルネックになるという問題があることがわかっている。これに対して、現在の GRAPE-DR では、速度が必要な処理を FPGA の中でハードウェアで実現したシーケンサが行うので殆どオーバーヘッドがなく高い実効性能が実現できた。

従って、今回概念設計を行うアクセラレータでも、転送・計算等の制御を行う部分には FPGA を採用したい。FPGA のコストを下げるためには、外付メモリアンターフェースをアクセラレータチップ側に移動することが望ましい。これにより、FPGA に必要な入出力バンド幅をほぼ 1/3 に減らすことができ、大幅なコスト削減が可能になるからである。特に複数のアクセラレータチップを搭載するボードの場合に、FPGA チップは1つですますことが可能になる。現在の GRAPE-DR ボードでは、GRAPE-DR チップ1つ毎に制御・メモリアンターフェースのための FPGA が必要になり、これが大きなコスト増加につながっている。

次の問題は、アクセラレータチップにどのような外部メモリアンターフェースをもたせるべきかである。これは、どの程度の容量、速度を必要とするかによって決まる。

アプリケーション範囲を上のような、データ量に対して計算量が大きいものに制限するなら、それほど大きなメモリをつける意味はない。これらのアプリケーションのアクセラレータへの実装では、データは基本的にホスト計算機のメモリに存在している。アクセラレータ側には処理に必要な単位で転送され、処理が終わったら必要な結果が回収される。多体問題や2電子積分では、外付メモリなしでも高い性能を実現可能である。但し、多体問題では、アルゴリズムによっては  $10^6$  粒子程度をボード側に保持することが望ましい。このためのメモリ量は 64MB 程度である。1 ボードが 4 チップからなる場合、チップ当りは 16MB 程度でよいことになる。

密行列処理では、基本的に部分行列の乗算をアクセラレータで行うことになる。部分行列のサイズはホストとの転送速度と計算速度の比で決まる。例えば PCI-Express Gen 2 程度の速度が得られるとするなら、アクセラレータ側の速度が 2-4Tflops とした時の部分行列の次元数は 2000 程度で良く、メモリサイズは全体で 32 MB 程度で良いことになる。余裕をみても 128 MB もあれば十分である。つまり、チップ当りのメモリ量は 32MB 程度となる。

このサイズは、外付メモリにするには小さ過ぎる値といってよい。DRAM チップは現在でも 1 チップ 512Mbit が普通である。転送バンド幅が1チップでは不足するので 4 チップ程度を使うことを考えると、アクセラレータチップ1つ当りのメモリ量は 256MB 程度以上になり、実際に必要な量の 10 倍以上になる。これは消費電力も大きく増加させることになる。

このため、今回の概念設計では、外付メモリを廃止し、オンチップ DRAM (あるいは 1T-SRAM) を利用することにする。添付の日本 IBM のレポートにあるように、65nm の eDRAM の場合、 $61\text{mm}^2$  で 256Mbit を実現可能であり、しかもこの部分

の消費電力は 1W 以下である (325MHz 動作の場合)。さらに、データ転送バンド幅は標準のページモードでも 83GB/s が可能であり、インターリーブすることで 2-4 倍に引き上げることもできる。これに対して、外付メモリでは、50GB/s 程度は現在のハイエンドの GPU でやっているように不可能ではないが、極めて大きな消費電力につながり、またダイサイズの相当部分を DRAM インターフェースで消費することになる。

このため、アクセラレータボード設計では、GRAPE-DR にあったオフチップメモリへのインターフェースを廃止し、BB 毎にもつ放送メモリ (Broadcast memory, BM) を SRAM ではなく embedded DRAM にする。

BM は以下の仕様を持つものとする。

サイズ: チップ全体で 32MB。BB 毎の大きさはこれを BB 数でわったもの。  
PE アレイへのデータ転送幅: 2 語 (1 語は倍精度浮動小数点数)/PE クロック  
BM 間転送: 多段 ネットワーク。クロック毎に 1 語転送可能。

この方式で、現在の GRAPE-DR のアプリケーションを動作させることは問題なく可能である。つまり、多体問題、密行列計算、量子化学計算のための 2 電子積分は実行可能である。また、放送メモリが大きくなっているため、2 電子積分の GRAPE-DR での実現で現在行っているような、関数テーブルを縮小するためのアルゴリズムの変更が不要になり、より容易に実装が可能性になる。

以下、どの程度の性能が実現できるかを簡単にまとめる。

チップ単体の諸元は以下の通りのものを想定する。

- PE 数 512 (16x32) ないし 600 程度
- BB 数 16
- BB 当りメモリ 2MB
- 動作クロック 600 ないし 700MHz
- クロック当り演算数 倍精度加減算+乗算 1 つづつ、または単精度加減算+乗算 2 つづつ。但し、倍精度演算と単精度演算は並列には行えない
- 理論ピーク性能 0.717Tflops(倍精度)、1.434Tflops(単精度)
- 入力、出力のデータ幅はそれぞれ 5.6GB/s
- 消費電力 60W (演算器が全て動作した時)

これらは、3.3 及び 3.4 節で述べるように 65nm プロセスでそれほど困難ではない値である。

以下、目標性能 10Pflops (ピーク) とした時の製造コスト、消費電力についてまとめる。消費電力は上の数字から 1Tflops 当り 84W となるので、10Pflops ではチップだけで 840 kW となる。ホスト計算機を別にするとチップ以外の消費電力は無視できる。電源の変換効率を考慮しても、消費電力が 1.5MW を超えることは考えにくい。これに対し、現在のところ次世代スーパーコンピュータシステム全体の消費電力は 30MW が想定されている。つまり、アクセラレータ部分の消費電力は全体の 5% である。これを 45nm にするとほぼ半分になることが期待できるが、65nm の段階で既に十分小さいので、それ以上に消費電力を下げることにそれほど大きな必然性はない。

コストについては、10Pflops とすると 1 万 5 千個程度が必要になる。チップの量産コストを現時点で精密に予測することは困難だが、90nm の GRAPE-DR チップの価格から推定すると 7 万円前後になる。従って、量産費用はチップだけで 10 億、ボード製造やテスト等を考えると 30 億程度になる。45nm になるとチップ数は半減するので、量産単価が大きくは増えないとすればかなり量産コストは下がる。

量産前の初期コストについても検討が必要だが、現時点で国内メーカーの 45nm プロセスの初期コストを推定するのは不可能に近い。65nm の数字からかなり上がるものとする、上の量産コストの減少分の相当部分が初期コストの増大によってキャンセルされることになる。従って、消費電力、開発コストのどちらからみても、10Pflops 程度を目標とする場合には 45nm プロセスを使うメリットは大きくない。

もちろん、さらに高い性能、例えば 30Pflops 程度を目指すなら、45nm プロセスを使うことで最大 50 億円程度の製造コストを節約出来ることになる。つまり、どのプロセスを利用すべきかは目標性能に依存する。

### 3.2.1 粒子シミュレーションの性能

現在の GRAPE-DR では、60 演算相当のエルミート公式向け粒子間相互作用計算を 69 サイクルで実現している。つまり、クロック当りの演算数は 0.86 となる。今回提案のシステムでは単精度演算での性能が 2 倍になっているので、相互作用計算の速度は単純にほぼ 2 倍になると考えてよい。つまり、クロック当りの演算数は 1.72 になり、チップ当りの演算速度は 616 Gflops となる。なお、現在の相互作用計算コードでもっとも時間がかかっているのは逆数平方根計算の部分であるので、逆数平方根の初期推定のためのハードウェア (回路規模は 500 ゲート程度で、倍精度浮動小数点演算器の 2% 程度である) を追加することで性能を 4 割程度向上させることができる。

分子動力学計算でも事情はほぼ同じであり、倍精度と単精度の混合演算を行うことで、相互作用計算ループで倍精度ピーク性能程度の実効性能を実現できる。



アプリケーションプログラム全体の性能は、並列化効率にもっとも強く依存するのでアクセラレータ単体しか仕様を定められない今回の概念設計では評価困難である。なお、通信速度については、5.6GB/s ができた場合に、粒子のブロックサイズとしては 100-200 程度で計算と通信がバランスすることになるので、実際上ほぼ問題にならない。

### 3.2.2 密行列処理

4 チップのボードで倍精度演算をすることを考える。密行列乗算の部分行列の乗算処理の実装として、

$$c = Ab \quad (1)$$

この形の乗算を、行列  $A$  をチップ内メモリに格納し、 $b$  のホストからの転送、乗算、 $c$  のホストへの転送を並列に行うものとする。ホストとの転送は 700G 語/秒であり、演算速度は 1.4T 積和計算/秒であるので、 $A$  のサイズは 2000 が必要である。すなわち ボードメモリは 32MB で十分である。今回の実装では 128MB を予定しているので、より大きな行列サイズにすることで、転送速度がもっと低い場合でも理論ピークに近い性能を実現できる。

### 3.2.3 2 電子積分

評価の詳細は既にベンチマーク評価として提出済みなのでここでは繰り返さないが、通信はほぼ無視でき、演算部分の効率は最悪で 20% 程度と見積もられている。ここで効率低下の主な要因はローカルメモリの領域不足、あるいは BM の転送バンド幅不足である。原理的には、バンク数を増やす等の方法で、消費電力、ダイサイズに大きなインパクトを与えることなく BM の転送バンド幅を増やすことは可能である。また、eDRAM ではなく 1T-SRAM を使う場合には、原理的にはほぼ無制限にバンド幅を増やすことができる。

しかし、1-T SRAM については今回 65nm での詳細な設計資料を入手できなかったため、評価はおこなっていない。eDRAM でバンク数を増やすことで効率を 30-40% まで上げることは可能と判断している。

### 3.2.4 ホスト計算機との接続方式

ホスト計算機との接続方式については、システム稼働が 2010 年以降ということを見ると、現時点で選定するのではなくフレキシブルな対応ができることが望ましい。他方、そのようなフレキシブルな対応のためにはインターフェースを別チップにす

る必要があり、量産コスト増加につながる。量産コストを抑えるには、ホストインターフェースの物理層までをプロセッサチップに集積することが望ましい。

物理層までを集積することを想定するなら、インターフェースは標準化されていて現在普及しつつある PCI Express を使うことが、ホスト計算機側の開発コストの観点からは事実上必須となる。このため、PCI Express の IP コアでどの程度の実効転送性能がでるかの評価を行った。

評価には、Altera 社の FPGA チップ用に開発された FPGA 開発ソフトウェアと IP コアを用いた。開発ソフトウェア等は今回の予算で購入した。IP コア評価ボードでの実効転送速度は、8 レーンの場合、read-write 同時に動作でそれぞれ 1GB/s、4 レーンでは 700-800MB/s となった。理論転送速度はそれぞれ 2GB/s、1GB/s であるので、8 レーンの場合で理論値の 50% 前後、4 レーンでは 70-80% が実現されている。

2010 年頃では、PCI Express 2.0 が普及し、レーン当りの理論転送速度が現行の 1.1 の 2 倍になっていると想定される。が、実効的な転送効率は変わらないか若干下がる方向になると思われる。すなわち、8 レーンを採用した場合で実質 2 GB/s 程度と予想される。

検討したアプリケーションの中では密行列処理で最低 2.8GB/s の転送速度が必要と見込まれており、現在程度の効率のままでは 8 レーンでは多少性能不足となる。但し、PCI-Express スイッチなどの技術を使うことで実効的に 16 レーンを利用することは可能であるので、実際には十分な速度が実現可能である。

### 3.2.5 方式検討に関するまとめ

以上で見たように、想定したいいくつかのアプリケーションでは現在開発が終わった GRAPE-DR チップでかなり高い実効効率がでているので、今回の方針検討では

1. 量産コスト、消費電力を下げること
2. 速度が問題と判明した逆数平方根の高速化を図ること

を検討した。量産コストおよび消費電力を下げるためには外付メモリを撤廃し内蔵メモリに置き換えることが有用であるとわかった。また、逆数平方根については小規模な回路で大きく高速化できるとわかった。GRAPE-DR に対してこれらの変更を行うものとする。

## 3.3 演算器等構成要素の規模評価

アクセラレータプロセッサチップの面積、消費電力を推定するために、GRAPE-DR チップで面積、消費電力の大半を占める、以下のブロックについて 65nm プロセスで製造した場合の規模評価を行った。

- 浮動小数点乗算器
- 浮動小数点加減算器
- レジスタファイル

以下、結果の詳細を述べる。なお、ローカルメモリについての検討結果は 3.4 節で述べる。データは、日本アイ・ピー・エム社の「V-GRAPE 要素プロセッサ方式検討のための要素評価結果報告書」(以下、別冊 1) から引用する。

### 3.3.1 浮動小数点乗算器

GRAPE-DR の浮動小数点乗算器は倍精度乗算を 2 サイクル、単精度なら 1 サイクルで行うものであるが、今回のアクセラレータでは要素プロセッサのクロック当りの演算能力を倍増するために、倍精度乗算を 1 サイクルで行える乗算器と単精度乗算を 1 サイクルで行える乗算器を並列にもつ構成を想定した。これにより、1 サイクル当り倍精度乗算 1 つまたは単精度乗算 2 つを行う。

別冊 1 の 6-1-3 節にあるように、500MHz 動作を想定した自動合成で、To 社の 65nm プロセス (TC320C) を使った場合の面積が  $54542\mu\text{m}^2$  となった。Ts 社 90nm での GRAPE-DR 乗算器の面積は  $46660\mu\text{m}^2$  であり、17% の面積増加で、パイプライン遅延を増加させることなくスループットを 2 倍にできたことになる。GRAPE-DR 乗算器では、倍精度乗算の実行に浮動小数点加算器も占有するので、実効的には面積は上の数字よりも大きい。このことを考慮すると、ほぼ同一面積と考えてよい。

消費電力については、別冊 1 6-1-5 節によれば 600MHz 動作の場合に 30mW 前後となっている。

### 3.3.2 浮動小数点加減算器

GRAPE-DR の浮動小数点加減算器は倍精度演算を 1 サイクルで行うものであるが、今回のアクセラレータでは要素プロセッサのクロック当りの演算能力を倍増するために、倍精度演算を 1 サイクルで行える乗算器と単精度演算を 1 サイクルで行える演算器を並列にもつ構成を想定した。これにより、1 サイクル当り倍精度加減算 1 つまたは単精度加減算 2 つを行う。

別冊 1 の 6-2-3 節にあるように、600MHz 動作を想定した自動合成で、To 社の 65nm プロセス (TC320C) を使った場合の面積が  $32544\mu\text{m}^2$  となった。Ts 社 90nm での GRAPE-DR 加減算器の面積は  $37059\mu\text{m}^2$  であり、12% の面積減少と、スループット 2 倍を同時に実現できた。なお、レイアウト後にはさらに面積が減少することが予想されている (別冊 1 6-2-4 節)

消費電力については、別冊 1 6-2-5 節によれば 600MHz 動作の場合に 17mW 前後となっている。

### 3.3.3 レジスタファイル

GRAPE-DR では、32 ワード 3 ポート (1 語 72 ビット) のレジスタファイルが  $65699\mu\text{m}^2$  と乗算器よりも大きな面積を占めた。これは、Ts 社 90nm プロセスで利用可能であった V 社および A 社の IP マクロライブラリには適切なものがなく、ラッチベースのランダムロジックでレジスタファイルを実現したためである。今回評価に利用した To 社 TS320C プロセスではアクセラレータに必要な 2R1W タイプのレジスタファイルの提供が予定されている。これを使った場合の面積はコア部分のみで 18000 から  $20900\mu\text{m}^2$  となっている。これは GRAPE-DR のレジスタファイル面積のほぼ  $1/3$  であり、極めて大きな面積減少である。

消費電力は 600 MHz 動作の場合に 7mw となっている。

### 3.3.4 まとめ

浮動小数点乗算器、加減算器、レジスタファイルを合計すると、GRAPE-DR では  $143118\mu\text{m}^2$  であったものが今回の評価では  $105086\mu\text{m}^2$  となり、26% 減少している。この他にローカルメモリと固定小数点演算器があり、この面積は GRAPE-DR の場合には浮動小数点乗算器、加減算器、レジスタファイルの合計とほぼ同じであった。これらはアーキテクチャに大きな変更はなく、プロセスシュリンクにより面積は半分になると想定してよい。従って、プロセッサエレメント (PE) 全体の面積は、 $(0.74 + 0.5)/2 = 0.62$  となり、現行の GRAPE-DR の 6 割強になる。従って、内蔵メモリを別にすると、現在の GRAPE-DR チップと同等の面積 ( $300\text{mm}^2$  の場合には 820PE 程度、逆に PE 数が同じならば  $190\text{mm}^2$  程度とかなり小さなチップになる。

消費電力については 浮動小数点乗算器、加減算器、レジスタファイルの合計は 52mW である。固定小数点演算器、メモリの消費電力はそれぞれ浮動小数点加減算器、レジスタファイルと同程度なので、これらをを含めた合計は およそ 80mW となる。

600 MHz 動作であるため倍精度演算時の理論ピーク性能は PE あたり 1.2Gflops であり、1 Gflops あたりの消費電力は 66mW、10Pflops の場合に 660kW である。

この数字は次世代スーパーコンピュータで現在想定されているシステム全体の消費電力の 2% 強である。もちろん、実際には PE 以外の部分の消費電力、電源の変換効率、その他の要因を考える必要があるが、それらで 2.5 倍になったとして 1.7MW となる。

### 3.4 入出力、メモリの性能評価

アクセラレータプロセッサチップのアーキテクチャ概念設計の資料とするため、入出力パッドと内蔵メモリについて動作速度、消費電力および内蔵メモリについては面積の評価をおこなった。

以下、結果の詳細を述べる。データは、日本アイ・ビー・エム社の「V-GRAPE 要素プロセッサ方式検討のための入出力及びメモリ構成評価結果報告書」(以下、別冊 2) から引用する。

#### 3.4.1 入出力パッド

GRAPE-DR チップでは入出力レベルは HSTL である。これは高速動作可能であるが、それほど広く利用されているものではなく将来的な ASIC での利用可能性に難点がある。このため、広く利用されている差動 LVDS とシングルエンドの SSTL2 について、高目の動作クロックを想定して設計可能性、消費電力の評価をおこなった。

設計可能性については別冊 6-2 節に詳細に述べられている。要点は、SSTL2 の設計は容易であるが差動 LVDS では不可能ではないが詳細な検討が必要であるということである。これは基本的には LVDS は差動動作のために倍速で信号が変化するためである。伝送距離が極めて短いので、差動動作のメリットがあまりいかされない。

消費電力については LVDS, SSTL2 とも出力で 20mW 前後で大差ない。しかし、受動終端の場合、LVDS の消費電力出力に比べて無視できるが、SSTL2 では終端抵抗の定常的な電力は 15mW となり、出力ドライバと同等である。このため、総合的には LVDS のほうが入出力部分の消費電力を大きく減少させることができる。

しかし、メモリ内蔵の場合には入出力ピンは合計 150 本程度であり、その消費電力は最大で 6W となりプロセッサコアに比べて十分に小さい。

#### 3.4.2 内蔵メモリ

内蔵メモリについては、現在の GRAPE-DR で使っている PE 内のローカルメモリ、放送メモリを現在と同様に SRAM で実現する場合の評価と、外付メモリを内蔵 eDRAM で置き換える場合の評価をおこなった。

まず、SRAM については、ワーストケースで 500MHz 動作は可能であり、また 600MHz 動作に極めて近くまで対応できる(別冊 2 6-3-3 節)。面積は 72 ビット 256 ワードの場合で  $23450\mu\text{m}^2$  であり、レジスタファイルより若干大きい程度(別冊 2 6-3-3)、消費電力についても 15mW 程度であり、前節での推定の範囲内である。

eDRAM については、まず速度は 285MHz 動作可能との結果になっており、論理回路部分の半分の速度で動作させることはできる。256 ビット幅 32M ビットのレ

イアウトの場合に  $1\text{mm}^2$  あたり 4.2 M ビットとなるので、256Mbit は  $60\text{mm}^2$  となる。消費電力はブロック当り 150mW 程度であり、全く無視できる。

バンク数を増やしても面積へのインパクトは小さいが、消費電力はかなり増大する。これは、32M ビットブロックの場合で  $1/3$  程度の消費電力が総ビット数ではなく入出力幅によっているからである。仮にバンク数を 4 倍にすると、消費電力はほぼ 2 倍になる。それでも 2.4W 程度であり、非常に小さい。